HIGH-SIDE SWITCH CIRCUIT

Patent Number: JP2000307397
Publication date: 2000-11-02
Inventor(s): MATSUDA TAKAYUKI; UENO KOJI
Applicant(s): DENSO CORP
Requested Patent: JP2000307397
Application Number: JP19990110792 19990419
Priority Number(s):
IPC Classification: H03K17/06; H03K17/08; H03K17/687; H03K19/0175
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent destruction of an internal element due to an over voltage in the case that a boot strap method is adopted for on-control of an output N-channel transistor(TR) so as to increase the switching speed and to increase the output voltage level.
SOLUTION: An output N-channel LD MOS 4 in the high-side switch circuit 1 is interrupted when a control N-channel LD MOS 15 is conductive and conductive when the MOS 15 is not conductive. With the LD MOS 4 conductive, its gate level is boosted by a boot strap effect by a capacitive element 6. The gate of the LD MOS 15 is connected to a 2nd power terminal 8, its drain is connected to the gate of an LD MOS 4, and its source is connected to the output point 10a of a level shift circuit 10. The level shift circuit 10 connects the output point 10a to a ground terminal 9 when an on-command signal of the LD MOS 15 is given to a control terminal 16 and the level shift circuit 10 connects the output point 10a to the 2nd power terminal 8 when an off- command signal of the LD MOS 15 is given to the control terminal 16.

Data supplied from the **esp@cenet** database - I2

翻訳文提出

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－307397
（Ｐ2000－307397Ａ）
(43)公開日　平成12年11月２日(2000.11.2)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０３Ｋ　17/06		Ｈ０３Ｋ　17/06	Ｃ	５Ｊ０５５
17/08		17/08	Ｃ	５Ｊ０５６
17/687		17/687	Ａ	
19/0175		19/00	１０１Ｆ	

審査請求　未請求　請求項の数６　ＯＬ　（全７頁）

(21)出願番号　特願平11－110792

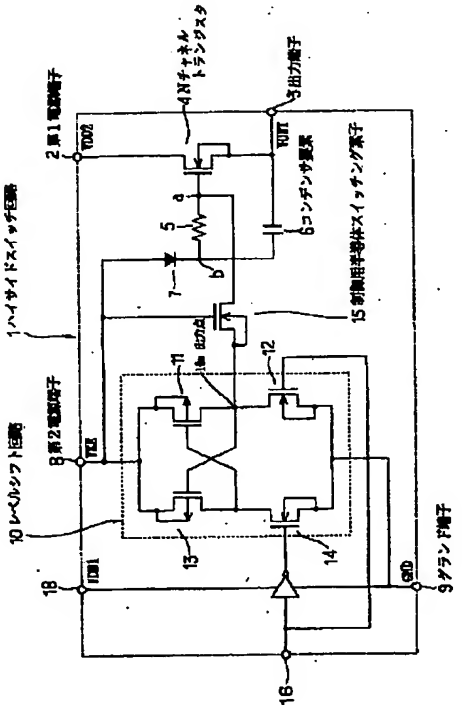
(22)出願日　平成11年４月19日(1999.4.19)

(71)出願人　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(72)発明者　松田　高幸
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　上野　晃司
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(74)代理人　100071135
弁理士　佐藤　強

最終頁に続く

(54)【発明の名称】　ハイサイドスイッチ回路

(57)【要約】
【課題】　出力用のＮチャネルトランジスタのオン制御にブートストラップ手法を取り入れてスイッチング速度の向上や出力電圧レベルの上昇を図る場合に、内部素子が過電圧で破壊される事態を未然に防止すること。
【解決手段】　ハイサイドスイッチ回路１において、出力用のＮチャネルＬＤＭＯＳ４は、制御用のＮチャネルＬＤＭＯＳ１５のオン状態でオフされ、オフ状態でオンされる。ＬＤＭＯＳ４のオン時には、そのゲート電位がコンデンサ要素６によるブートストラップ効果により持ち上げられる。ＬＤＭＯＳ１５のゲートは第２電源端子８に接続され、ドレインはＬＤＭＯＳ４のゲートに接続され、ソースはレベルシフト回路１０の出力点１０ａに接続される。レベルシフト回路１０は、出力点１０ａを、制御端子１６にＬＤＭＯＳ１５のオン指令信号が与えられた状態でグランド端子９に接続し、制御端子１６にＬＤＭＯＳ１５のオフ指令信号が与えられた状態で第２電源端子８に接続する。



【特許請求の範囲】
【請求項１】　第１電源端子（２）と出力端子（３）との間に接続された出力用のＮチャネルトランジスタ（４）と、
制御端子（１６）に与えられるオン指令信号及びオフ指令信号に基づいてオンオフするように設けられ、オン状態で前記Ｎチャネルトランジスタ（４）のゲート電位をグランド電位レベルに落としてこれをオフさせると共に、オフ状態で第２電源端子（８）の出力電圧をＮチャネルトランジスタ（４）のゲートに与えてこれをオンさせるための制御用半導体スイッチング素子（１５）と、この制御用半導体スイッチング素子（１５）のオン期間に第２電源端子（８）から充電されるように設けられ、その充電電圧を上記制御用スイッチング素子（１５）のオフ期間に出力端子（３）の出力電圧に重畳させることにより前記Ｎチャネルトランジスタ（４）のゲート電位を持ち上げるコンデンサ要素（６）とを備えたハイサイドスイッチ回路において、
前記第２電源端子（８）とグランド端子（９）との間に接続され、その出力点（１０ａ）を、前記制御端子（１６）に前記オン指令信号が与えられた状態でグランド端子（９）に接続すると共に、その制御端子（１６）に前記オフ指令信号が与えられた状態で第２電源端子（８）に接続するレベルシフト回路（１０）を設け、
前記制御用半導体スイッチング素子（１５）は、一対の主電極が前記Ｎチャネルトランジスタ（４）のゲートと前記レベルシフト回路（１０）の出力点（１０ａ）との間に介在されると共に、その制御電極が前記第２電源端子（８）に接続され、出力点（１０ａ）と第２電源端子（８）との間の電位差が所定レベル以上のときにオンされ、且つ当該電位差が所定レベル未満のときにオフするように接続されることを特徴とするハイサイドスイッチ回路。
【請求項２】　前記制御用半導体スイッチング素子（１５）は、制御電極としてゲートを備えたＮチャネルＦＥＴ若しくはＮチャネルＩＧＢＴにより構成され、そのＮチャネルＦＥＴ若しくはＮチャネルＩＧＢＴは、ドレインまたはコレクタ側が前記出力用のＮチャネルトランジスタ（４）のゲートに接続され、ソースまたはエミッタ側が前レベルシフト回路（１０）の出力点（１０ａ）に接続されることを特徴とする請求項１記載のハイサイドスイッチ回路。
【請求項３】　前記コンデンサ要素（６）は、一端側が前記出力端子（３）に接続され、他端側がダイオード（７）を逆方向に介して前記第２電源端子（８）に接続され、
前記ダイオード（７）のカソードと前記Ｎチャネルトランジスタ（４）のゲートとの間に抵抗（５）が接続されることを特徴とする請求項１または２記載のハイサイドスイッチ回路。
【請求項４】　前記レベルシフト回路（１０）は、
前記第２電源端子（８）とグランド端子（９）との間に、第１のＰチャネルトランジスタ（１１）及び前記制御端子（１６）に前記オン指令信号が与えられたときにオンする第１のＮチャネルトランジスタ（１２）の直列回路と、第２のＰチャネルトランジスタ（１３）及び前記制御端子（１６）に前記オフ指令信号が与えられたときにオンする第２のＮチャネルトランジスタ（１４）の直列回路とを並列に接続し、
第１のＰチャネルトランジスタ（１１）及び第１のＮチャネルトランジスタ（１２）の共通接続点を第２のＰチャネルトランジスタ（１３）のゲートに接続し、第２のＰチャネルトランジスタ（１３）及び第２のＮチャネルトランジスタ（１４）の共通接続点を第１のＰチャネルトランジスタ（１１）のゲートに接続して構成され、
第１のＰチャネルトランジスタ（１１）及び第１のＮチャネルトランジスタ（１２）の共通接続点が前記出力点（１０ａ）として利用されることを特徴とする請求項１ないし３のいずれかに記載のハイサイドスイッチ回路。
【請求項５】　請求項４記載のハイサイドスイッチ回路において、
前記制御端子（１６）に与えられる前記オン指令信号及びオフ指令信号は、異なる論理値の論理レベル信号として構成され、
前記制御端子（１６）と前記第１のＮチャネルトランジスタ（１２）及び第２のＮチャネルトランジスタ（１４）の一方のゲートとの間にインバータ回路（１７）が介在されることを特徴とするハイサイドスイッチ回路。
【請求項６】　ＳＯＩ基板上に集積化されて形成されることを特徴とする請求項１ないし５のいずれかに記載のハイサイドスイッチ回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、電源のオンオフ制御を行うためのハイサイドスイッチ回路、特には、出力用のＮチャネルトランジスタをオンさせるためにブートストラップの手法を取り入れたハイサイドスイッチ回路に関する。
【０００２】
【発明が解決しようとする課題】従来より、高耐圧のハイサイドスイッチ回路をＮチャネルトランジスタで構成する場合、図２に示すようなソースフォロワとすることが一般的に行われている。この図２の回路では、電源端子１０１と出力端子１０２との間に出力用のＮチャネルトランジスタ１０３（例えばＮチャネルＬＤＭＯＳ）を接続し、そのＮチャネルトランジスタ１０３のゲートを制御用のＮチャネルトランジスタ１０４（例えばＮチャネルＬＤＭＯＳ）を介してグランド端子１０５に接続している。また、Ｎチャネルトランジスタ１０３のドレイン・ゲート間に抵抗１０６を接続しており、Ｎチャネル

トランジスタ１０４のゲートを制御端子１０７に接続している。

【０００３】しかしながら、このような構成では、Ｎチャネルトランジスタ１０３のオン状態時には、出力端子１０２の電位、すなわちＮチャネルトランジスタ１０３のソース電位が上昇してそのゲート・ソース間電圧が等価的に低下することになり、これにより当該Ｎチャネルトランジスタ１０３をオフさせるように働いてしまう。このため、ハイサイドスイッチ回路のスイッチング速度を著しく悪化させると共に、出力端子１０２からの出力電圧のレベルが、電源端子１０１に供給されている電源電圧のレベルからＮチャネルトランジスタ１０３のゲートしきい値電圧分だけ差し引いたレベルにしか至らないという問題点が生じてしまう。

【０００４】この問題点を解決するために、上記ソースフォロワ回路構成にブートストラップの手法を取り入れることが考えられている。具体的には、例えば図３に示すように、電源端子２０１と出力端子２０２との間に出力用のＮチャネルトランジスタ２０３（例えばＮチャネルＬＤＭＯＳ）を接続し、そのＮチャネルトランジスタ２０３のゲートを制御用のＮチャネルトランジスタ２０４（例えばＮチャネルＬＤＭＯＳ）を介してグランド端子２０５に接続している。また、Ｎチャネルトランジスタ２０３のゲート・ソース間に抵抗２０６及びブートストラップ用のコンデンサ要素２０７の直列回路を接続すると共に、それら抵抗２０６及びコンデンサ要素２０７の共通接続点ｂをダイオード２０８を逆方向に介して電源端子２０９に接続しており、Ｎチャネルトランジスタ２０４のゲートを制御端子２１０に接続している。

【０００５】このような回路構成の作用は以下の通りである。但し、各電源端子２０１及び２０９の電源電圧ＶＤＤ及びＶＥＥ並びにグランド端子２０５の電圧ＧＮＤの間の関係がＧＮＤ＜ＶＤＤ＝ＶＥＥの状態にあるとし、出力端子２０２には容量性負荷（図示せず）が接続されているものとし、初期状態において出力端子２０２からの出力電圧ＶＯＵＴはＧＮＤの状態にあるものとする。また、制御端子２１０には図示しないレベルシフト回路の出力が与えられるものとする。

【０００６】すなわち、制御端子２１０がハイレベルである場合、制御用のＮチャネルトランジスタ２０４は、ゲート電位＞ソース電位（＝ＧＮＤ）の状態になってオンするようになり、図３中の接続点ａ（トランジスタ２０３のゲート及びトランジスタ２０４のドレイン間の接続点）の電位はロウレベルとなる。これにより、出力用のＮチャネルトランジスタ２０３がゲート電位≦ソース電位の状態となってオフし、ブートストラップ用のコンデンサ要素２０７に対し電源端子２０９からダイオード２０８を通じて充電されるのに応じて接続点ｂの電位はほぼＶＥＥとなる。このとき、オン状態にあるＮチャネルトランジスタ２０４の各電極の電位は、ソース電極＝ＧＮＤ、ゲート電極＝ＶＥＥ、ドレイン電極＝ＧＮＤであり、これら電極間に印加される電圧の最大値はＶＥＥとなる。

【０００７】次に、制御端子２１０がロウレベル（＝ＧＮＤ）である場合、制御用のＮチャネルトランジスタ２０４は、ゲート電位＝ソース電位の状態になるためオフするようになり、接続点ａの電位（つまり出力用のＮチャネルトランジスタ２０３のゲート電位）が上昇して、Ｎチャネルトランジスタ２０３がオンする。すると、接続点ａにおいては、出力端子２０２からの出力電圧ＶＯＵＴ（最大値でほぼＶＤＤ）にコンデンサ要素２０７の充電電圧が重畳するため、Ｎチャネルトランジスタ２０３のゲート電位が持ち上げられるようになる。このようなブートストラップ効果によって、ハイサイドスイッチ回路のスイッチング速度を向上させ得ると共に、出力端子２０２からの出力電圧ＶＯＵＴのレベルが電源端子２０１に供給されている電源電圧ＶＤＤのレベルに保持されるようになるため、前記図２に示した回路構成での問題点を解決できることになる。

【０００８】ところで、図３の回路構成において、制御端子２１０がロウレベル（＝ＧＮＤ）である場合、コンデンサ要素２０７での漏れ電流やダイオード２０８の順方向電圧降下などを無視すると、接続点ａの電位Ｖａは次式（１）で得られる値まで上昇する。但し、式（１）において、ＶＯＵＴint は、出力用のＮチャネルトランジスタ２０３がオンする直前での出力端子２０２からの出力電圧ＶＯＵＴの値である。

【０００９】

Ｖａ＝（電源端子２０１の供給電圧）＋（コンデンサ要素２０７の充電電圧）
＝ＶＤＤ＋（ＶＥＥ－ＶＯＵＴint ）　　……（１）

【００１０】このとき、オフ状態にあるＮチャネルトランジスタ２０４の各電極の電位は、ソース電極＝ＧＮＤ、ゲート電極＝ＧＮＤ、ドレイン電極＝Ｖａであり、これら電極間に印加される電圧の最大値は、Ｎチャネルトランジスタ２０３がオンする直前での出力端子２０２からの出力電圧ＶＯＵＴint がＧＮＤ（＝０）の場合に、式（１）から明らかなように、ＶＤＤ＋ＶＥＥ＝２×ＶＥＥとなり、Ｎチャネルトランジスタ２０４のドレイン・ゲート間及びドレイン・ソース間に、その耐圧以上の電位差が生じてしまう恐れが出てくる。

【００１１】つまり、上記のように出力用のＮチャネルトランジスタ２０３をソースフォロワとし、且つブートストラップの手法を取り入れたハイサイドスイッチ回路においては、制御用のＮチャネルトランジスタ２０４のゲートに印加する電圧レベルを変化させることにより、ハイサイドスイッチ回路のスイッチング動作を制御する場合、出力用のＮチャネルトランジスタ２０３のオン時に制御用のＮチャネルトランジスタ２０４に過大な電圧

が印加されるため、これが破壊される恐れが出てくる。

【００１２】本発明は上記事情に鑑みてなされたものであり、その目的は、出力用のＮチャネルトランジスタのオン制御にブートストラップ手法を取り入れてスイッチング速度の向上や出力電圧レベルの上昇を図ったものでありながら、内部素子が過電圧で破壊される事態を未然に防止できるハイサイドスイッチ回路を提供することにある。

【００１３】

【課題を解決するための手段】上記目的を達成するために、請求項１に記載した手段を採用できる。この手段によれば、出力用のＮチャネルトランジスタ（４）のオンオフに応じて第１電源端子（２）と出力端子（３）との間が選択的に断続されるものであり、これによりハイサイドスイッチ回路としての機能が得られる。このＮチャネルトランジスタ（４）は、制御用半導体スイッチング素子（１５）のオン状態でゲート電位がグランド電位レベルに落とされてオフされ、制御用半導体スイッチング素子（１５）のオフ状態で第２電源端子（８）の出力電圧がゲートに与えられてオンされる。この場合、制御用半導体スイッチング素子（１５）のオフ期間、つまり出力用のＮチャネルトランジスタ（４）のオン期間には、当該Ｎチャネルトランジスタ（４）のゲート電位が、上記制御用半導体スイッチング素子（１５）のオン期間において第２電源端子（８）から充電されたコンデンサ要素（６）の充電電圧により持ち上げられるというブートストラップ効果が得られるから、そのＮチャネルトランジスタ（４）のスイッチング速度が向上すると共に、出力端子（３）からの出力電圧のレベルを第１電源端子（２）に供給されている電源電圧のレベルに保持できるようになる。

【００１４】第２電源端子（８）とグランド端子（９）との間に接続されたレベルシフト回路（１０）は、その出力点（１０ａ）を、制御端子（１６）に制御用半導体スイッチング素子（１５）をオンさせるためのオン指令信号が与えられた状態でグランド端子（９）に接続し、制御端子（１６）に制御用半導体スイッチング素子（１５）をオフさせるためのオフ指令信号が与えられた状態で第２電源端子（８）に接続する。制御用半導体スイッチング素子（１５）は、一対の主電極がＮチャネルトランジスタ（４）のゲートとレベルシフト回路（１０）の出力点（１０ａ）との間に介在されると共に、その制御電極が前記第２電源端子（８）に接続されており、その出力点（１０ａ）と第２電源端子（８）（つまり、制御電極）との間の電位差が所定レベル以上のとき（出力点（１０ａ）がグランド端子（９）に接続されたとき）にオンされ、当該電位差が所定レベル未満のとき（出力点（１０ａ）が第２電源端子（８）に接続されたとき）にオンする。

【００１５】この場合、制御用半導体スイッチング素子（１５）の各電極に印加される電圧は以下のようになる。すなわち、制御用半導体スイッチング素子（１５）がオンされた状態では、一方の主電極及び制御電極に第２電源端子（８）の電圧が印加され、他方の主電極にグランド端子（９）の電圧が印加される。また、制御用半導体スイッチング素子（１５）がオフされた状態では、一方の主電極にコンデンサ要素（６）のブートストラップ効果で持ち上げられた高電圧（但し、最大値でも第２電源端子（８）の電圧の２倍）が印加されるが、他方の主電極及び制御電極にも第２電源端子（８）からの比較的高い電圧が印加される。従って、制御用半導体スイッチング素子（１５）の各電極間に印加される電圧の最大値は、常時において第２電源端子（８）の出力電圧以下に抑制されるものであり、その制御用半導体スイッチング素子（１５）が従来構成（図３）のように過電圧で破壊される可能性が低くなる。

【００１６】

【発明の実施の形態】以下、本発明をＥＬ表示装置のような容量性負荷を駆動するのに使用されるハイサイドスイッチ回路に適用した一実施例について図１を参照しながら説明する。ハイサイドスイッチ回路１は、第１電源端子２と出力端子３との間に接続された出力用のＮチャネルＬＤＭＯＳ４（本発明でいうＮチャネルトランジスタに相当）を備えたソースフォロワ構成となっている。このＮチャネルＬＤＭＯＳ４のゲート・ソース間には、抵抗５及びブートストラップ用のコンデンサ要素６の直列回路が接続され、図中の接続点ｂ（抵抗５及びコンデンサ要素６の共通接続点）がダイオード７を逆方向に介して第２電源端子８に接続されている。尚、上記コンデンサ要素６は、ＭＯＳＦＥＴのゲート・ソース間容量を利用して実現することができる。

【００１７】第２電源端子８とグランド端子９との間にはレベルシフト回路１０が接続されている。このレベルシフト回路１０は、第２電源端子８とグランド端子９との間に、ＰチャネルＬＤＭＯＳ１１（本発明でいう第１のＰチャネルトランジスタに相当）及びＮチャネルＬＤＭＯＳ１２（本発明でいう第１のＮチャネルトランジスタに相当）の直列回路と、ＰチャネルＬＤＭＯＳ１３（本発明でいう第２のＰチャネルトランジスタに相当）及びＮチャネルＬＤＭＯＳ１４（本発明でいう第２のＮチャネルトランジスタに相当）の直列回路とを並列に接続すると共に、その出力点１０ａ（ＬＤＭＯＳ１１及び１２の共通接続点）をＬＤＭＯＳ１４のゲートの接続し、ＬＤＭＯＳ１３及び１４の共通接続点をＬＤＭＯＳ１１のゲートに接続した構成となっている。

【００１８】このレベルシフト回路１０の出力点１０ａは、図中の接続点ａ（出力用のＬＤＭＯＳ４のゲート）に対し、ＮチャネルＬＤＭＯＳ１５（本発明でいう制御用半導体スイッチング素子に相当）のソース・ドレイン（一対の主電極）間を介して接続されるものであり、こ

のＮチャネルＬＤＭＯＳ１５のゲート（制御電極）は第２電源端子８に接続されている。レベルシフト回路１０の入力端子となるＮチャネルトランジスタ１２のゲートは、制御端子１６に接続され、同じくレベルシフト回路１０の入力端子となるＮチャネルトランジスタ１４のゲートは、制御端子１６に対しインバータ回路１７を介して接続されている。尚、インバータ回路１７は、第３の電源端子１８及びグランド端子９間から電源を得る構成となっている。また、第１電源端子２及び第２電源端子８からは、比較的高いレベル（例えば７０Ｖ前後）の電源電圧ＶＤＤ２及びＶＥＥ（ＶＤＤ２＝ＶＥＥ）がそれぞれ出力され、第３の電源端子１８からは比較的低いレベル（例えば５Ｖ前後）の電源電圧ＶＤＤ１が出力される構成となっている。

【００１９】上記した本実施例の回路構成による作用は以下の通りである。但し、各電源端子２、８、１８の電源電圧ＶＤＤ２、ＶＤＤ１、ＶＥＥ並びにグランド端子９の電圧ＧＮＤ間には、ＧＮＤ＜ＶＤＤ１＜ＶＤＤ２＝ＶＥＥなる関係にあるものとする。また、出力端子３には図示しない容量性負荷が接続されているものとし、初期状態において出力端子３からの出力電圧ＶＯＵＴはＧＮＤの状態にあるものとする。

【００２０】すなわち、制御端子１６にハイレベル（＝ＶＤＤ１）の論理値信号（本発明でいうオン指令信号に相当：これはＮチャネルＬＤＭＯＳ１５のオンを指令する信号であり、従って出力用のＮチャネルＬＤＭＯＳ４のオフを指令する信号となる）が与えられた場合、Ｎチャネルトランジスタ１２、Ｐチャネルトランジスタ１３がオン、Ｎチャネルトランジスタ１４、Ｐチャネルトランジスタ１１がオフとなり、レベルシフト回路１０の出力点１０ａがグランド端子９に接続された状態となる。これにより、出力点１０ａの電位、つまり制御用のＮチャネルＬＤＭＯＳ１５のソース電位はロウレベル（＝ＧＮＤ）となる。このため、当該ＮチャネルＬＤＭＯＳ１５は、ゲート電位（＝ＶＥＥ）＞ソース電位（＝ＧＮＤ）の状態になってオンするようになり、図１中の接続点ａ（ＬＤＭＯＳ４のゲート）の電位はロウレベルとなる。これにより、ＮチャネルＬＤＭＯＳ４は、ゲート電位≦ソース電位の状態となってオフし、ブートストラップ用のコンデンサ要素６に対し第２電源端子８からダイオード７を通じて充電されるのに応じて接続点ｂの電位はほぼＶＥＥとなる。このとき、オン状態にあるＮチャネルＬＤＭＯＳ１５の各電極の電位は、ソース電極＝ＧＮＤ、ゲート電極＝ＶＥＥ、ドレイン電極＝ＧＮＤであり、これら電極間に印加される電圧の最大値はＶＥＥとなる。

【００２１】次に、制御端子１６がロウレベル（＝ＧＮＤ）の論理値信号（本発明でいうオフ指令信号に相当：これはＮチャネルＬＤＭＯＳ１５のオフを指令する信号であり、従って出力用のＮチャネルＬＤＭＯＳ４のオンを指令する信号となる）が与えられた場合、Ｎチャネルトランジスタ１４、Ｐチャネルトランジスタ１１がオン、Ｎチャネルトランジスタ１２、Ｐチャネルトランジスタ１３がオフとなり、レベルシフト回路１０の出力点１０ａが第２電源端子８に接続された状態となる。これにより、出力点１０ａの電位、つまり制御用のＮチャネルＬＤＭＯＳ１５のソース電位はハイレベル（＝ＶＥＥ）となる。

【００２２】すると、当該ＮチャネルＬＤＭＯＳ１５にあっては、ゲート電位（＝ＶＥＥ）＝ソース電位（＝ＶＥＥ）の状態になってオフするようになり、これに応じて接続点ａの電位（つまり出力用のＮチャネルＬＤＭＯＳ４のゲート電位）が第２電源端子８からの電源電圧ＶＥＥにより上昇するため、ＮチャネルＬＤＭＯＳ４がオンする。この状態では、接続点ａにおいては、出力端子２からの出力電圧ＶＯＵＴ（最大値でほぼＶＤＤ２）に対しコンデンサ要素６の充電電圧が重畳するため、ＮチャネルＬＤＭＯＳ４のゲート電圧が持ち上げられるようになる。このようなブートストラップ効果によって、ＮチャネルＬＤＭＯＳ４のスイッチング速度が向上すると共に、出力端子３からの出力電圧ＶＯＵＴのレベルが、第１電源端子２に供給されている電源電圧ＶＤＤ２のレベルに保持されるようになる。

【００２３】この場合、コンデンサ要素６での漏れ電流やダイオード７の順方向電圧降下などを無視すると、接続点ａの電位Ｖａは、次式（２）で得られる値まで上昇する。但し、式（２）において、ＶＯＵＴint は、出力用のＮチャネルＬＤＭＯＳ４がオンする直前での出力端子３からの出力電圧ＶＯＵＴの値である。

【００２４】

Ｖａ＝（第１電源端子２の供給電圧）＋（コンデンサ要素６の充電電圧）

＝ＶＤＤ２＋（ＶＥＥ－ＶＯＵＴint ）　　……（２）

【００２５】従って、接続点ａの電位Ｖａは、ＮチャネルＬＤＭＯＳ４がオンする直前の状態時（ＶＯＵＴint ＝ＧＮＤ（＝０）の状態時）に最大となるものであり、その最大値はＶＤＤ２＋ＶＥＥ＝２×ＶＥＥとなる。このとき、オフ状態にあるＮチャネルＬＤＭＯＳ１５の各電極の電圧は、ソース電極＝ＶＥＥ、ゲート電極＝ＶＥＥ、ドレイン電極＝Ｖａであるから、そのＮチャネルＬＤＭＯＳ１５の各電極間に印加される電圧の最大値は、出力用のＮチャネルＬＤＭＯＳ４がオンする直前の状態でもＶＥＥに抑制されることになる。

【００２６】つまり、出力用のＮチャネルＬＤＭＯＳ４をソースフォロワとしブートストラップの手法を取り入れた本実施例のハイサイドスイッチ回路１においては、制御用のＮチャネルＬＤＭＯＳ１５のソースに印加する電圧レベルを変化させることにより出力用のＮチャネルＬＤＭＯＳ４のスイッチング動作を制御するので、その

ＮチャネルＬＤＭＯＳ４のオン時に制御用のＮチャネルＬＤＭＯＳ１５に対し、図３に示すような従来構成のハイサイドスイッチ回路のように大きな電圧が印加される恐れがなくなるため、そのＮチャネルＬＤＭＯＳ１５が過電圧によって破壊される事態を効果的に防止できる。

【００２７】尚、上記のようなハイサイドスイッチ回路１をＳＯＩ基板上に集積化した状態で形成する構成としても良く、このような構成によれば、素子分離を容易に行い得ると共に、寄生容量の減少するようになって、その設計や配置の自由度を高め得るなどの効果が得られるようになる。

【００２８】また、本発明は上記した実施例に限定されるものではなく、次のような変形または拡張が可能である。出力用のＮチャネルトランジスタとしてＮチャネルＬＤＭＯＳ４を使用する例で説明したが、他の形式のＦＥＴやＮチャネル型ＩＧＢＴを使用することもできる。制御用半導体スイッチング素子として、ＮチャネルＬＤＭＯＳ１５を使用する例で説明したが、これを他の形式のＦＥＴやＮチャネルＩＧＢＴ、或いはＮＰＮ型のバイポーラトランジスタに置き換える構成としても良く、また、ＰチャネルＬＤＭＯＳやＰＮＰ型のバイポーラトランジスタなどを用いることも可能である。また、上記実施例によるハイサイドスイッチ回路１を用いて多値出力回路を構成することも可能である。

【図面の簡単な説明】

【図１】本発明の一実施例を示す回路構成図

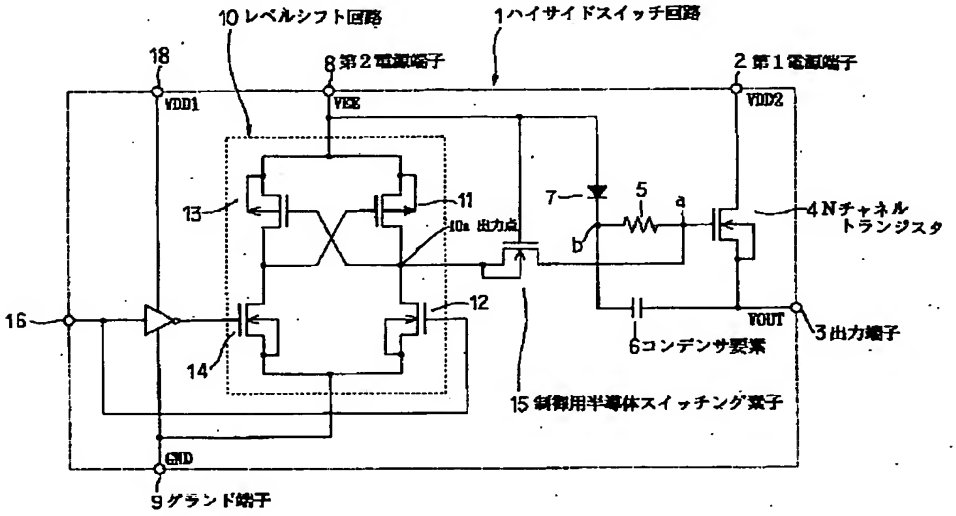
【図２】第１の従来例を示す回路構成図

【図３】第２の従来例を示す回路構成図

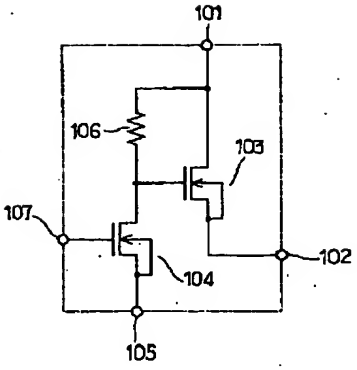
【符号の説明】

１はハイサイドスイッチ回路、２は第１電源端子、３は出力端子、４はＮチャネルＬＤＭＯＳ（Ｎチャネルトランジスタ）、５は抵抗、６はコンデンサ要素、７はダイオード、８は第２電源端子、９はグランド端子、１０はレベルシフト回路、１０ａは出力点、１１はＰチャネルＬＤＭＯＳ（第１のＰチャネルトランジスタ）、１２はＮチャネルＬＤＭＯＳ（第１のＮチャネルトランジスタ）、１３はＰチャネルＬＤＭＯＳ（第２のＰチャネルドランジスタ）、１４はＮチャネルＬＤＭＯＳ（第２のＮチャネルトランジスタ）、１５はＮチャネルＬＤＭＯＳ（制御用半導体スイッチング素子）、１６は制御端子、１７はインバータ回路を示す。

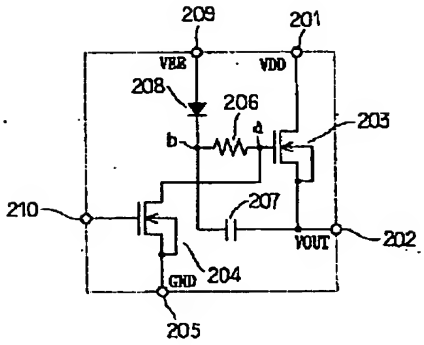
【図１】



【図２】



【図３】



フロントページの続き

Ｆターム(参考)　5J055 AX02 AX11 AX31 AX47 AX65
BX16 CX10 CX12 CX23 CX29
DX13 DX22 DX53 DX54 EX01
EX02 EX07 EX12 EY01 EY10
EY12 EY16 EY21 EY29 EZ07
EZ18 EZ20 EZ54 GX01
5J056 AA05 BB02 BB46 CC21 CC25
CC29 DD01 DD13 DD28 DD52
FF08 GG06